

AIの基礎研究 イジング計算機

山岡 雅直
Yamaoka Masanao

吉村 地尋
Yoshimura Chihiro

林 真人
Hayashi Masato

奥山 拓哉
Okuyama Takuya

青木 秀貴
Aoki Hidetaka

水野 弘之
Mizuno Hiroyuki

AIの大きな課題はその計算量が膨大な点であり、その大きな部分を占めるのが組み合わせ最適化の処理である。その組み合わせ最適化問題を効率よく解く新しい原理のコンピューティング技術としてイジングモデルを用いた計算機を提案し、20 kスピンを含んだイジング計算機チップを65 nmプロセスで試作した。イジングチップでは、組み合わせ最適化問題を磁性体のス

ピンの挙動を表すイジングモデルに写像しその収束動作により問題を解く。収束動作はCMOS回路により実現した。試作チップにより、100 MHz動作が可能で実際に組み合わせ最適化問題が解けることを確認するとともに、従来のノイマン型計算機を用いた場合に比べて1,800倍の電力効率で問題を解けることを確認した。

1. はじめに

AI (Artificial Intelligence: 人工知能) の大きな課題は、その計算量が膨大なところである。これは、従来のように人間がプログラムで定義したアルゴリズムを機械的に実行するのではなく、データから自動で学習し、これに基づきリアルタイムの判断を行うためである。この「学習」と「判断」という膨大な処理の大きな部分を占めるのが「組み合わせ最適化」の処理である。例えば、データからAIが「学習」するときには、予測誤差を最小化するべく、モデル中のパラメータの最適化処理が必要になる。さらにこのモデルに基づきAIが「判断」するには、評価関数を最大化するように判断すべきパラメータの最適化が必要になる。いずれの「組み合わせ最適化」も、多くのパターンの中から条件に合ったパラメータを探索する必要があるため、従来のコンピューティング手法では、効率的に解くことは困難となる。

そこで、われわれは、イジングモデルと呼ばれる磁性体の振る舞いを表す統計力学上のモデルを用いて組み合わせ最適化問題を効率的に解く新しい概念のコンピューティング技術を開発した。プロトタイプを用いた実験により従来の計算手法に比べて3桁以上効率的に組み合わせ最適化問題を解くことが確認できた。本稿では、このイジング計算機について解説する。

2. 組み合わせ最適化問題

組み合わせ最適化問題とは、与えられた条件の中で評価指標を最大(または最小)とする解を探索する問題である。組み合わせ最適化問題は、その問題で決定するパラメータの数が多くなると、その問題の解の候補が爆発的に多くなるという特徴がある。AIでの計算処理では、パラメータは増大する傾向にあり、組み合わせ最適化問題で最適化する解の候補が爆発的に増大すると考えられる。

従来のコンピューティング手法で組み合わせ最適化問題を解く場合には、すべてのパラメータの組み合わせパターンに対して評価指標を計算し、その中から評価指標を最小とするパラメータの組み合わせを選択する[図1(a)参照]。パラメータの数が n の場合には、その組み合わせの数は 2^n 通りとなり、例えばパラメータの数が1,000個あった場合には、パラメータの組み合わせは $2^{1000} \approx 10^{300}$ となり、膨大な組み合わせパターンに関してすべての評価指標を計算するのは事実上不可能となる。

実際には、すべての組み合わせパターンに対して評価指標を計算するのではなく、近似的に最適なパターンを求める近似アルゴリズムが使われる。しかし、やはりパラメータの数が増大すると、近似解でさえ求めるのが困難となる。また、これまでの計算手法は半導体の微細化によって計算に用いられるCPU (Central Processing Unit) の性能が

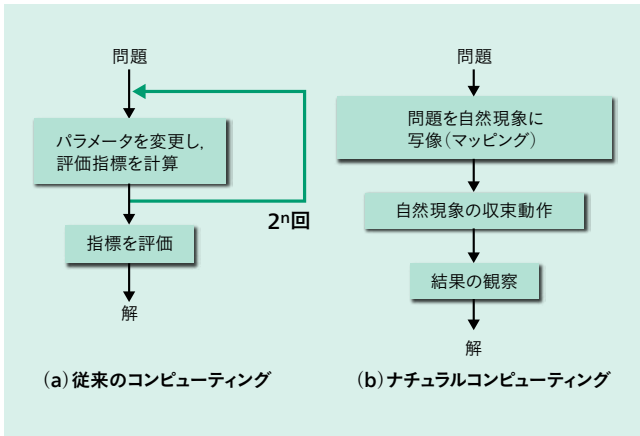


図1 | 最適化問題を解く際の手順

従来のコンピューティングを使った場合にはすべての評価指標を繰り返し計算して指標を評価する。一方、ナチュラルコンピューティングでは、自然現象が収束する性質を使用して繰り返しの計算回数を削減する。

向上することで大規模な問題に対応してきた。しかし、近年、半導体の微細化が終えんするといわれており、実際、2000年代後半にはCPUの動作周波数の向上は頭打ちとなっている。よって、今後の大規模化、複雑化するシステムの最適化に対応するためには、従来の計算手法によらない新たな計算手法が必要となる。

3. 新概念コンピューティング

従来の計算機は、問題をプログラム(手順)に分解し、そのプログラムを順次実行することで問題を解いていた。しかし、上述のとおり、組み合わせ最適化問題を解く場合には、プログラムを実行する手順が増加するという問題がある。そこで、計算の概念を変えるナチュラルコンピューティングと呼ばれる手法が提案されている。

ナチュラルコンピューティングによる計算の手順を図1(b)に示す。ナチュラルコンピューティングでは、解く問題を自然現象に写像(マッピング)し、その自然現象の収束動作によって与えた問題を収束させる。その後、収束結果を観測することで問題の解を得る。

組み合わせ最適化問題を解く手法として、磁性体のスピンの振る舞いを表す統計上のモデルであるイジングモデルを用いた手法が提案されている。そのモデルを図2に示す。イジングモデルは、磁性体の性質を表す上下の向きを持つスピンの状態 σ_i と2つのスピン間で及ぼしあう相互作用の力を表す相互作用係数 J_{ij} 、および外部から与えられた磁場の力を表す外部磁場係数 h_i で表される。そのイジングモデルが持つエネルギー H は同図中の式で表される。イジングモデルはそのエネルギー H が最小となるようにスピンの状態が更新され、最終的に H が最小となるという性質がある。組み合わせ最適化問題の評価指標がこのイジングモデルのエネルギーに対応するように問題を写像して

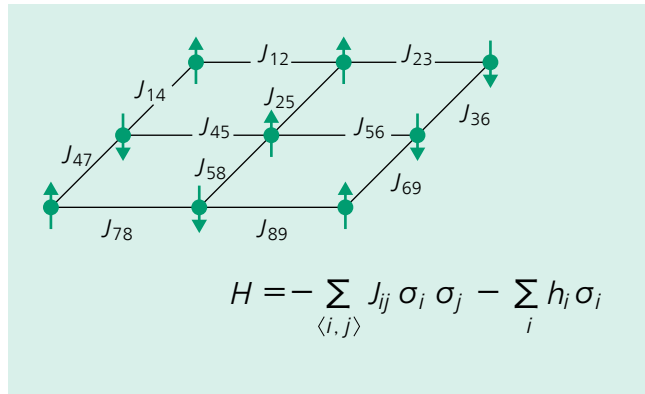


図2 | イジングモデル

共磁性体の性質を表す統計力学上のモデルを示す。2つの配位状態をとる格子点(スピン)から構成され、隣接する格子点の相互作用を考慮したエネルギー H が最低の場合に安定状態となる。

イジングモデルを収束させることによってエネルギーを最小とするスピンの状態の組み合わせが求まる。それはすなわち元の最適化問題の評価指標を最小化するパラメータの組み合わせが求まることを意味している。

4. CMOSイジングコンピューティング

従来から、超伝導素子を用いてこのイジングモデルを再現するコンピューティング手法が提案されているが、われわれは半導体のCMOS(Complementary Metal Oxide Semiconductor)回路を用いて模擬することを提案した。CMOS回路を用いることで、製造が容易で拡張性が高く使いやすいという特徴がある。

スピン値の更新は、下記の規則に従って実行される。

新しいスピンの値 $=+1$ ($a > b$ の場合)

-1 ($a < b$ の場合)

$+/-1$ ($a = b$ の場合)

ここで、(隣接スピン値, 相互作用係数)とした場合に、 a は $(+1, +1)$ または $(-1, -1)$ の数、 b は $(+1, -1)$ または $(-1, +1)$ の数である。この相互作用動作によって、イジングモデルが持つエネルギーは図3に示すようなエネルギーランドスケープにしたがって低下する。しかし、同図に示すようにエネルギーランドスケープには山と谷があり、相互作用の動作のみでは局所解と呼ばれる最小のエネルギーではない部分にとらわれてしまう可能性がある。

この局所解から脱出するために、ランダムにスピンの状態を破壊する。これにより、同図の点線のように関係ない状態にランダムに遷移させる。この2つの動作を併せて「CMOSアニーリング」と呼ぶ。これによって、できるだけエネルギーが低い状態を見つけることができる。

実際には、乱数を用いているため、必ずしも最適解が求まるとは限らない。しかし、このコンピューティング手法をパラメータの最適化に使う場合には、必ずしも最適値

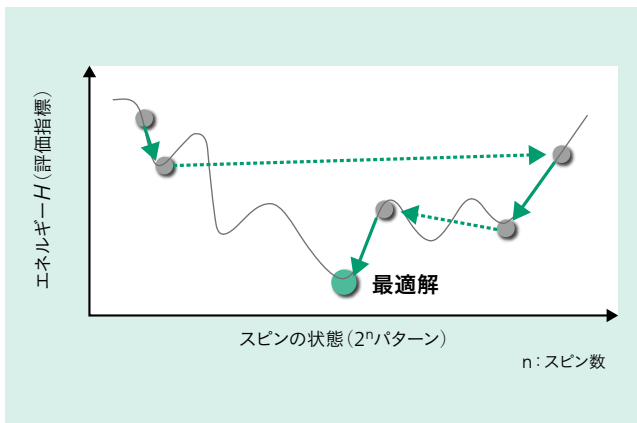


図3 | イジングモデルのエネルギーランドスケープとCMOSアニーリング

イジングコンピューティングではスピン間の相互作用によってエネルギーはランドスケープに従って減少する(実線矢印)が局所解に固定される可能性がある。乱数を入力してわざとスピン値を反転させることで(破線矢印)局所解への固定を避ける。これにより、なるべくエネルギーの低い解が求まる。

でなくても許容できるものと考えられる。実際に、このコンピューティング手法を用いる際には、例えば90%以上の可能性で99%以上の精度で解が求まるということを理論的に保証すれば、本手法で得られた解をシステムに用いても問題ないということを保証するという使い方が考えられる。

5. プロトタイプ計算機

提案したイジングコンピューティングを実証するために65 nmのCMOSプロセスを用いてイジングチップを試作した。さらにこのイジングチップを搭載したイジングノードを作成し、最適化問題が解けることを確認した。そのプロトタイプとプロトタイプを用いて最適化問題を解いた結果について以下に説明する。

5.1 CMOSイジングチップ

65 nmの半導体CMOSプロセスを用いてイジングチップを試作した。チップ写真を図4に示す。3 mm×4 mmのチップ内に20 k (=2万) スピンを搭載した。1スピンのサイズは、 $11.27 \mu\text{m} \times 23.94 \mu\text{m} \approx 270 \mu\text{m}^2$ である。外部からスピンおよび相互作用係数を書き込み・読み出しするためのインタフェース回路は100 MHzで動作する。また、スピン値を更新する相互作用動作も100 MHzで動作する。

イジングチップでは、三次元のイジングモデルは二次元のメモリ構造に埋め込まれる。半導体のチップでは、二次元構造を持つことによって高い集積性を実現しており、本イジングチップにも同様に高い集積性、つまり、多くのスピンを搭載できるという特徴がある。

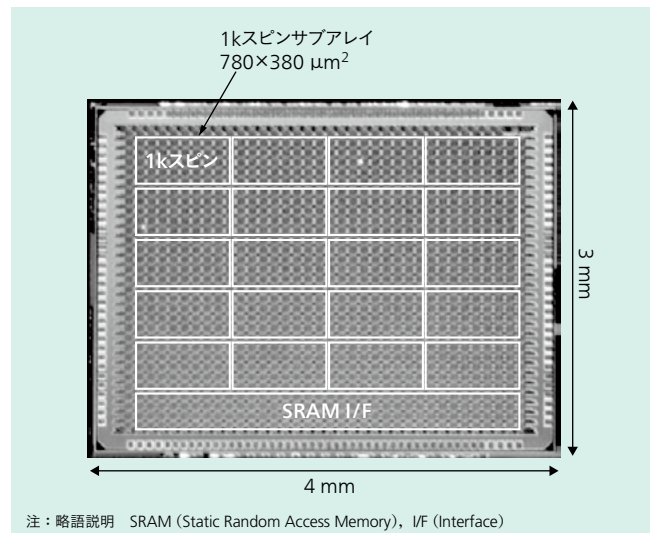


図4 | イジングチップ写真

3×4=12 mm²の中に20 k個のスピンのチップが搭載されている。

5.2 イジングコンピュータ

図5に、2つのイジングチップを搭載したイジングノードの試作機を示す。

イジングノードにはLAN (Local Area Network) 経由でPC (Personal Computer) やサーバからアクセス可能で、最適化問題を入力して解くことが可能となる。

図6にランダムに生成した最大カット問題を解かせた場合に必要なエネルギーを従来手法と比較した場合の結果について示す。横軸はイジングモデルに含まれているスピンの数を示している。また、従来手法としては、最大カット問題を解くのに最適化されたSG3という近似アルゴリズムを汎用CPUにて実行している。それぞれの手法にて同じ問題を解き、同程度の解精度が求まるまでに消費したエネルギー量を比較している。今回用いた近似アルゴリズムであるSG3は、イジングモデルを用いた最大カット問題に最適化されたアルゴリズムのため、20 kスピンでは速度的には双方それほどの差は現れなかった。一方で、問題を解くために必要なエネルギーは、20 kスピンの問題で約1,800分の1に低減できていることが分かる。

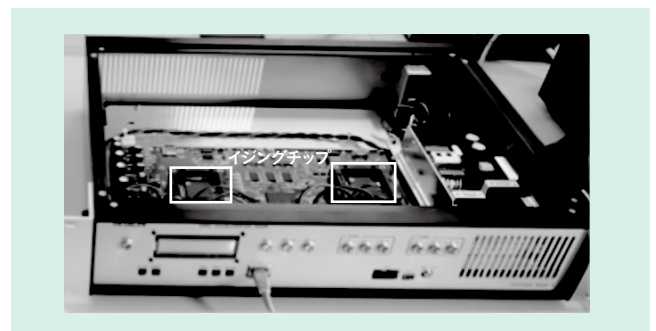


図5 | イジングノード

2つのイジングチップが搭載されたイジングノードを示す。サーバやPCとLANケーブルで接続され、組み合わせ最適化問題を解く。

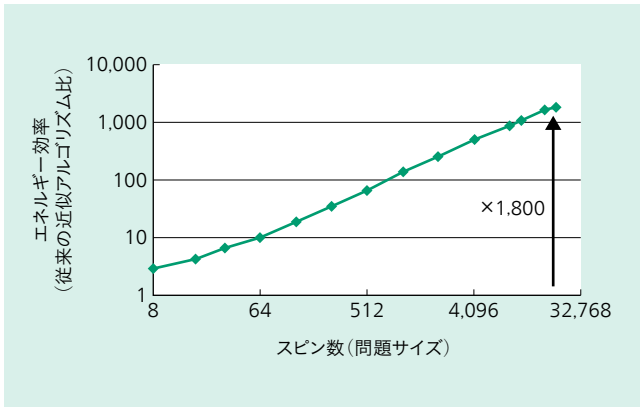


図6 | ランダムに生成した最大カット問題を解いた場合のエネルギー効率

近似アルゴリズムを汎用CPUで実行した場合と比較した場合の計算のエネルギー効率を示す。問題の規模（スピンの数）が大きくなるほどエネルギー効率は向上し、20 kスピンでは約1,800倍の効率となる。

6. おわりに

表1に従来のイジング計算機との比較を示す。CMOS半導体回路を用いることで室温動作させることが可能であり、そのため冷却のための電力を極めて低く抑えられることが分かる。また、今回の試作機では20 kスピン程度の規模であるが、微細な半導体プロセスを用いることでさらに大規模なイジングモデルを再現することが可能となる。

さらに、今回、スピン間の相互作用はデジタル値を用いて計算されている。よって、複数のチップを接続することが容易であり、複数チップを使ってさらに規模を拡大することが可能となる。

今回はデジタル回路を用いていることから、求めている解の精度は従来の超伝導素子を用いたものと比較して悪化していると予想されるが、実際に問題を解けていることから、実際の社会システムの最適化には使えるレベルであり、今回の半導体を用いたアプローチは使いやすさやスケラビリティの観点から工学的な意味があると考えられる。

今回試作したイジング計算機では、実際に組み合わせ最適化問題である最大カット問題が解けることを確認した。これは、数学的に他の組み合わせ最適化問題に変換できることが知られており、実際のシステムの最適化に適用でき

表1 | 従来のイジング計算機との比較

従来の超伝導素子を使ったイジング計算機と比べて、使いやすさやスケラビリティの面で優れており、実应用到に適用しやすいという面で、工学的な意味があると言える。

	本手法	従来手法
アプローチ	イジングコンピューティング	
	半導体 (CMOS)	超伝導体
動作温度	室温	20 mK
消費電力	0.05 W	15,000 W (冷却含む)
スケラビリティ (スピンの数)	20 k (65 nm) 微細プロセスにより拡大可	512
計算時間	数ミリ秒	数ミリ秒 (原理的に速い)

ると考えられる。また、実際にエネルギーを測定したところ、従来の計算手法を用いた場合と比較して3桁以上改善していることが確認できた。

今後、さらに処理が増大すると考えられる人工知能において使用される組み合わせ最適化問題を処理するための計算機として、高効率に利用できる技術であると考えられる。

参考文献

- 1) M. W. Johnson, et al.: Quantum annealing with manufactured spins, Nature 473, pp. 194-198 (2011.5)
- 2) R. F. Service : The brain chip, Science, Vol. 345, Issue 6197 (2014.8)
- 3) C. Yoshimura, et al.: Spatial computing architecture using randomness of memory cell stability under voltage control, 2013 European Conference on Circuit Theory and Design (2013.9)
- 4) M. Yamaoka, et al.: 20k-spin Ising Chip for Combinational Optimization Problem with CMOS Annealing, ISSCC 2015 digest of technical papers, pp. 432-433 (2015.2)
- 5) S. Kahruman, et al.: On Greedy Construction Heuristics for the MAX-CUT problem, International Journal of Computational Science and Engineering, Volume 3, Number 3, pp. 211-218 (2007)

執筆者紹介



山岡 雅直

日立製作所 研究開発グループ 基礎研究センタ 所属
現在、新概念計算機の研究に従事
博士 (情報学)
IEEE会員



吉村 地尋

日立製作所 研究開発グループ 基礎研究センタ 所属
現在、新概念計算機の研究に従事



林 真人

日立製作所 研究開発グループ 基礎研究センタ 所属
現在、新概念計算機の研究に従事



奥山 拓哉

日立製作所 研究開発グループ 基礎研究センタ 所属
現在、新概念計算機の研究に従事



青木 秀貴

Hitachi Asia (Malaysia) Sdn. Bhd. 所属
現在、グリーンコンピューティングの研究開発に従事



水野 弘之

日立製作所 研究開発グループ 情報通信イノベーションセンタ 所属
現在、情報通信イノベーションの研究に従事
工学博士
IEEE会員